

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-095954

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

G06F 17/14
H03H 17/02
H03M 7/30
H04B 1/713

(21)Application number : 06-231326

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 27.09.1994

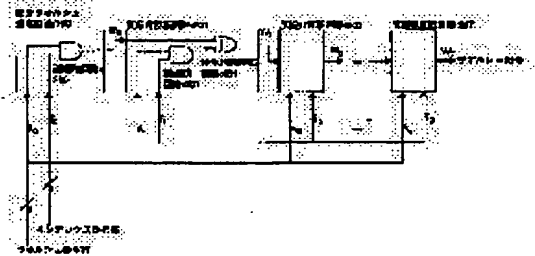
(72)Inventor : YAMASHITA AKIRA
HORIGUCHI KENJI
WATANABE AKIHIKO

(54) WALSH CODE GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To minimize a Walsh code generating circuit by serially connecting and arranging (n-m) stages of inverting/non-inverting circuits.

CONSTITUTION: Concerning inputted Walsh number words A0-A7 and index number words T0-T7 in sequences, a partial Walsh code is generated for low-order one bit A0 and T0 by a Walsh generating circuit 100, and the final Walsh code can be provided by outputting that Walsh code through inverting/non-inverting circuits 201-207 to decide either inversion or non-inversion corresponding to A1-A7 and T1-T7. Since it is not necessary to store the Walsh codes in the format of a table, the circuit can be miniaturized and further, expandability in the case of increasing the number of bits of the input is enhanced.



LEGAL STATUS

[Date of request for examination]

09.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-95954

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/14

H 0 3 H 17/02

H 0 3 M 7/30

B 8842-5J

A 9382-5K

G 0 6 F 15/ 332

S

H 0 4 J 13/ 00

E

審査請求 未請求 請求項の数1 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平6-231326

(22) 出願日

平成6年(1994)9月27日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山下 昌

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 堀口 健治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 渡邊 彰彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

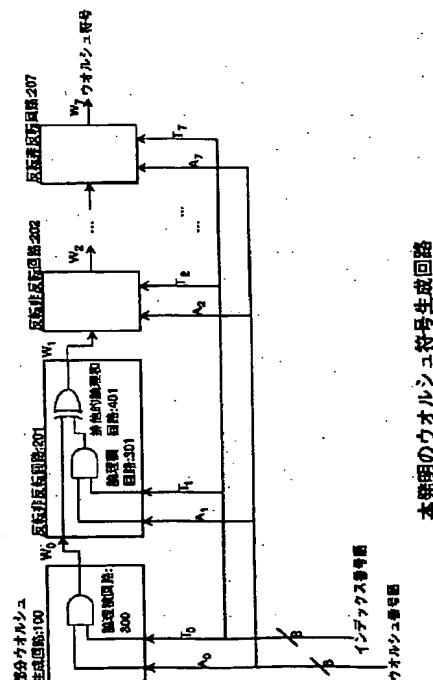
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 ウオルシュ符号発生回路

(57) 【要約】

【目的】 ウオルシュ符号生成回路を小型化する。

【構成】 入力されたウオルシュ番号語A0～A7と系列中のインデックス番号語T0～T7に対して、下位1ビットA0とT0に対してウオルシュ生成回路100によって部分ウオルシュ符号を生成し、そのウオルシュ符号を反転非反転回路201から207を通じて、A1～A7とT1～T7に応じて反転か非反転かを決定し出力することによって最終的なウオルシュ符号を得ることができる。ウオルシュ符号を表の形式で格納する必要の無いことから、回路を小型化することができ、また、入力のビット数が増えたときの拡張性が高くなる。



【特許請求の範囲】

【請求項1】 ウォルシュ番号を n ビットの2進数で表現したウォルシュ番号語と、ウォルシュ番号に対応したウォルシュ符号系列中の位置を示すインデックスを n ビットの2進数で表現したインデックス番号語を用いて、対応する1ビットのウォルシュ符号を出力するウォルシュ符号発生回路において、

ウォルシュ番号語の特定数の下位 m ビットと、インデックス番号語の前記特定数の下位 m ビットとを入力として、 m ビットの部分的ウォルシュ番号語と m ビットの部分的インデックス番号語とに対応した1ビットのウォルシュ符号を出力する部分ウォルシュ生成回路と、前記部分ウォルシュ符号生成回路の出力を初段入力論理値とし、初段が下位から $m+1$ 桁目まで且つ最終段が最上位桁となるようにその初段から最終段にかけて1ビットずつ上位の、前記ウォルシュ番号語の1ビット及びそれと桁位置を同じくする前記インデックス番号語の1ビットを入力として、ウォルシュ番号語の前記1ビットとインデックス番号語の前記1ビットとが共に1である論理値を取る場合のみ入力論理値を反転して次段又は出力端へ出力し、ウォルシュ番号語の前記1ビットとインデックス番号語の前記1ビットとのいずれか一方が0なる論理値を取る場合は入力論理値を次段又は出力端へ出力する、 $n-m$ 段の反転非反転回路を直列接続配置した、ことを特徴とするウォルシュ符号発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ウォルシュ(Walsh)符号の番号を2進数で表現したウォルシュ番号語とウォルシュ符号の桁を2進数で表現したインデックス番号語を入力として、そのウォルシュ番号語インデックス番号語とに対応したウォルシュ符号を1ビットずつ出力するウォルシュ符号発生器に関するものであり、特に基地局側から移動局側への送信における拡散符号として、ウォルシュ符号を用いている符号分割多元接続(CDMA)通信に適用されるウォルシュ符号発生器に関する。

【0002】

【従来の技術】従来は、ウォルシュ符号のすべてを表の形で読取専用記憶装置(ROM)などに格納し、そのROMの行アドレス入力にウォルシュ番号を入力し列アドレス入力にインデックス番号を順次入力し、出力側からウォルシュ符号の該当する1ビット出力を順次出力することによってウォルシュ符号を得ていた。

【0003】

【発明が解決しようとする課題】しかしながら上記の回路構成では、必要とされる回路規模がウォルシュ符号系列長の2乗に比例するため、長いウォルシュ符号系列長を持つウォルシュ符号などに対しては、回路規模が非常に大きくなる。また、表の形式を用いて格納するので、ウォルシュ符号の系列長に変更が生じた場合に対してウ

ォルシュ符号表の大規模な変更が必要となるため、拡張性が低いなどの問題があり、LSI化などに対する障害となっていた。

【0004】

【課題を解決するための手段】本発明は、 n ビットの2進数で表現されるウォルシュ番号語及びインデックス番号語に関して、それぞれの下位 m ビットに対する1ビットのウォルシュ符号(部分ウォルシュ符号)を与える部分ウォルシュ符号生成回路と、ウォルシュ番号語とインデックス番号語の上位の $n-m$ ビットに対してそれぞれ設けられ、 $n-m$ 段の反転非反転回路から構成される。各反転非反転回路は、初段は部分ウォルシュ符号生成回路の出力1ビットを、それ以外の段は前段の出力1ビットを、それぞれ入力とするように直列接続配置される。また x 段目の反転非反転回路では、ウォルシュ番号語の $m+x$ 桁目及びインデックス番号語の $m+x$ 桁目を入力とする。そして、最終段の反転非反転回路の出力が、前記のウォルシュ番号語及びインデックス番号語に対応した1ビットのウォルシュ符号となる。

【0005】

【作用】この生成回路に n ビットの2進数で表現されるウォルシュ番号語とインデックス番号語が入力されると、部分ウォルシュ符号生成回路は、ウォルシュ番号語及びインデックス番号語の下位 m ビットを入力とし、入力に対応した1ビットのウォルシュ符号を出力する。部分ウォルシュ符号生成回路からの出力は、初段の反転非反転回路へ入力される。初段の反転非反転回路ではウォルシュ番号語及びインデックス番号語の $m+1$ 桁目の論理値が共に1の場合のみ入力論理値を反転を行うことによって、ウォルシュ番号語とインデックス番号語の下位の $m+1$ ビットに対する部分ウォルシュ符号を生成し、2段目に出力する。このように、各反転非反転回路における1ビットの出力は、次段の反転非反転回路へ入力される。そして x 段目の反転非反転回路では、ウォルシュ番号語の $m+x$ 桁目とインデックス番号語の $m+x$ 桁目とが共に1である論理値を取る場合のみ入力論理値を反転することによって、ウォルシュ番号語とインデックス番号語の下位の $m+x$ ビットに対する部分ウォルシュ符号を生成し、次段へ出力する。そして、最終段の反転非反転回路から、前記の n ビットのウォルシュ番号語及びインデックス番号語に対応した1ビットのウォルシュ符号が出力される。

【0006】

【実施例】次に本発明の実施例について説明する。図1は、本発明の一実施例を表すブロック図である。8ビット2進数のウォルシュ番号語とインデックス番号語を入力とし、その最下位の1ビットに対する部分ウォルシュ符号生成回路と、上位7ビットにそれぞれ対応する7個の反転非反転回路によって、与えられたウォルシュ番号語とインデックス番号語に対するウォルシュ符号を出力

するものである。この実施例は、8ビット2進数のウォルシュ番号語とインデックス番号語による256ビットの系列長を持つウォルシュ符号系列から8ビット2進数のインデックス番号語によって指定される1ビットのウォルシュ符号を出力するものである。本発明においては、部分ウォルシュ生成回路への入力となるウォルシュ番号語とインデックス番号語はなんビットでも良いが、この実施例では1ビットの例を用いる。

【0007】図1において、A0～A7は8ビットの2進数で表現されたウォルシュ番号語であり、A7が最上位ビットでA0が最下位ビットである。T0～T7は8ビットの2進数で表現されたウォルシュ符号系列中の位置を表すインデックス番号語であり、T7が最上位ビットでT0が最下位ビットである。100は部分ウォルシュ符号生成回路であり、201～207は信号反転回路である。図1において、ウォルシュ番号語はA0～A7に入力され、インデックス番号語はT0～T7に入力される。部分ウォルシュ符号生成回路100は、2進数で表現されたウォルシュ番号語とインデックス番号語のそれぞれの下位1ビットであるA0とT0を入力とし、論理積回路300において、A0とT0の論理積演算を行

うことによって、下位1ビットに対する1ビットの部分ウォルシュ符号を生成するウォルシュ符号生成回路である。そしてその出力W0は、反転非反転回路201に入力される。反転非反転回路201は、2進数で表現されるウォルシュ番号語の2桁目A1とインデックス番号語の2桁目T1を入力とし、論理積回路301において、A1とT1の論理積演算を行い、その結果と入力W0との排他的論理和演算を排他的論理和回路401で行うことによって、ウォルシュ番号語とインデックス番号語のそれぞれの下位2ビットに対する1ビットの部分ウォルシュ符号W1を生成し出力する。この操作を各反転非反転回路で行い、最終段の反転非反転回路207より、8ビットのウォルシュ番号語とインデックス番号語に対するウォルシュ符号W7が出力される。

【0008】次に、本生成回路の動作について説明する。最初に、ウォルシュ符号の性質について述べる。表1に、系列長が16ビットのウォルシュ符号を示す。表1のウォルシュ番号及びインデックス番号に対応する符号語は、それぞれ4ビットである。

【0009】

【表1】

インデックス番号

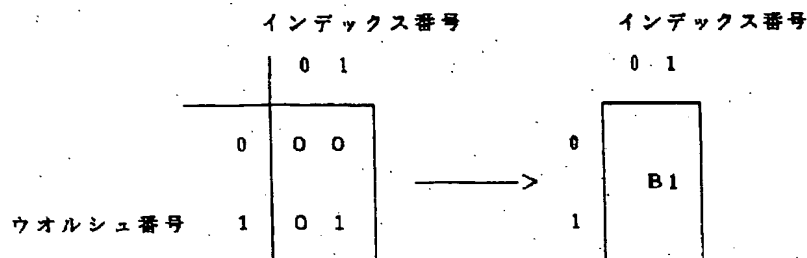
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
ウォルシュ番号																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
3	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
5	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0
6	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
7	0	1	1	0	1	0	0	1	0	1	1	0	1	0	0	1
8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
9	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0
10	0	0	1	1	0	0	1	1	1	1	0	0	1	1	0	0
11	0	1	1	0	0	1	1	0	1	0	0	1	1	0	0	1
12	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
13	0	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1
14	0	0	1	1	1	1	0	0	1	1	0	0	0	0	1	1
15	0	1	1	0	1	0	0	1	1	0	0	1	0	1	1	0

【0010】表2に、表1の一部である、系列長が2ビット従ってウォルシュ番号語とインデックス番号語とがそれぞれ1ビットのウォルシュ符号を示す。また、表3に、系列長が4ビット従ってウォルシュ番号語とインデックス番号語とがそれぞれ2ビットのウォルシュ符号

を、表4に、系列長が8ビット従ってウォルシュ番号語とインデックス番号語とがそれぞれ3ビットのウォルシュ符号を示す。

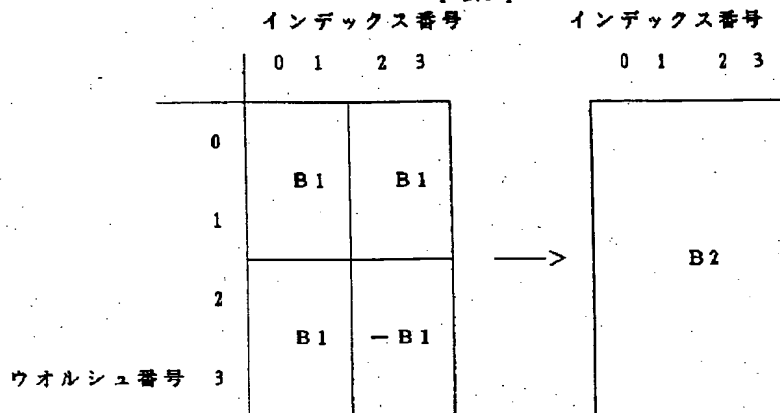
【0011】

【表2】



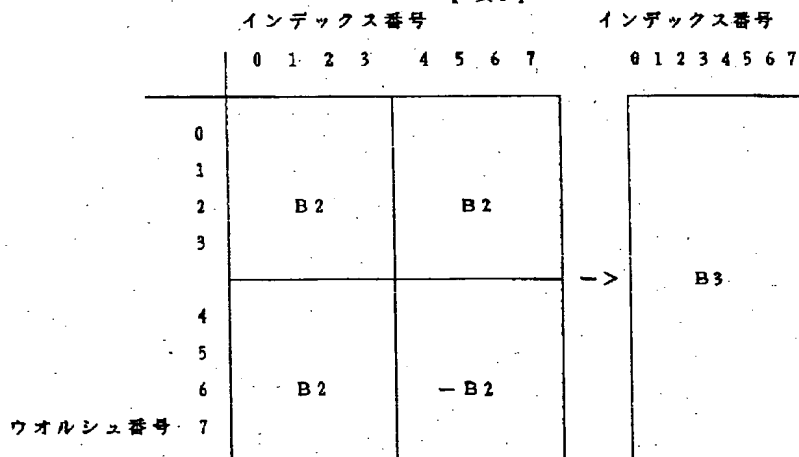
【0012】

【表3】



【0013】

【表4】



【0014】ここで、表2のウオルシュ符号における4ビットのブロックをブロックB1で表わした場合、表3の系列長4ビットのウオルシュ符号は、表3の様にブロックB1が非反転でそのままか、又は反転して繰り返したものとなる。また、系列長4ビットのウオルシュ符号の16ビットブロックをブロックB2で表わした場合、表4の系列長8ビットのウオルシュ符号は、表4のようにブロックB2が非反転でそのままか、又は反転して繰り返したものとなり、同様に、表3の64ビットブロックをブロックB3で表わした場合、表1の系列長16ビットのウオルシュ符号は、ブロックB3が非反転でその

まま又は反転して繰り返したものとなる。そして、反転と非反転とは、ウオルシュ符号語の最上位ビットとインデックス番号語の最上位ビットとが共に論理値の1であるか、又はいずれか一方が0であるかによる。また、系列長が2ビットのウオルシュ符号、すなわち1ビットのウオルシュ符号語A0とインデックス番号語T0に対するウオルシュ符号W(A0,T0)は、表2に示すように、A0=1かつ、T0=1の時1であり、その他の時は0となるので下式の様になる。

【0015】

【数1】

$$W(A_0, T_0)$$

$$= \begin{cases} 0 & A_0 \text{ and } T_0 \neq 1 \text{ のとき} \\ 1 & A_0 \text{ and } T_0 = 1 \text{ のとき} \end{cases}$$

$$= A_0 \text{ and } T_0$$

【0016】また、mビットの2進数で、ウォルシュ番号A(A_{m-1}...A₀)とインデックス番号T(T_{m-1}...T₀)が与えられる場合、ウォルシュ符号W(A_{m-1}...A₀, T_{m-1}...T₀)

A₀, T_{m-1}...T₀)は次式を満たす。

【0017】

【数2】

$$= \begin{cases} W(A_{n-2}...A_0, T_{n-2}...T_0) & A_{n-1} \text{ and } T_{n-1} \neq 1 \text{ のとき} \\ \text{not } W(A_{n-2}...A_0, T_{n-2}...T_0) & A_{n-1} \text{ and } T_{n-1} = 1 \text{ のとき} \end{cases}$$

$$= W(A_{n-2}...A_0, T_{n-2}...T_0) \text{ xor } (A_{n-1} \text{ and } T_{n-1})$$

【0018】以上より、図1において、部分ウォルシュ符号生成回路100は入力A₀とT₀の論理積演算を行うことによって、ウォルシュ番号語とインデックス番号語の下位1ビットに対するウォルシュ符号を生成する。次に信号反転回路201では、入力A₁とT₁の論理積演算の結果と上記ウォルシュ符号との排他的論理和演算を行うことによって、ウォルシュ番号語とインデックス番号語下位2ビットに対するウォルシュ符号を生成する。さらに各反転非反転回路において同様の操作を行うことによって、最終的に信号反転回路207より8ビットのウォルシュ番号語とインデックス番号語に対するウォルシュ符号が出力される。

【0019】なお、図1の実施例では256ビット系列長のウォルシュ符号発生回路を示したが、反転非反転回路の段数を増やすことにより、さらに長ビット系列長のウォルシュ符号発生回路を構成することができる。また、図1の実施例は256ビット系列長のウォルシュ符号発生回路として示したが、128ビット系列長や64ビット系列長のウォルシュ符号発生回路として用いることもでき、例えば、図1の入力ビットA₇及びT₇を論理値0に固定しておくことにより、128ビット系列長のウォルシュ

符号発生回路として機能させることができる。

【0020】

【発明の効果】以上の説明から明らかなように、本発明では、入力されたウォルシュ番号語とインデックス番号語に対して、より小さいウォルシュ番号に対するウォルシュ符号から拡張して得ることによって、従来のウォルシュ符号をすべて表の形で格納する場合よりも、非常に小さい回路規模で実現することが可能となる。また、ウォルシュ番号が拡張された場合も、反転非反転回路を追加するだけで良いので、従来の方法より拡張性においても優れている。

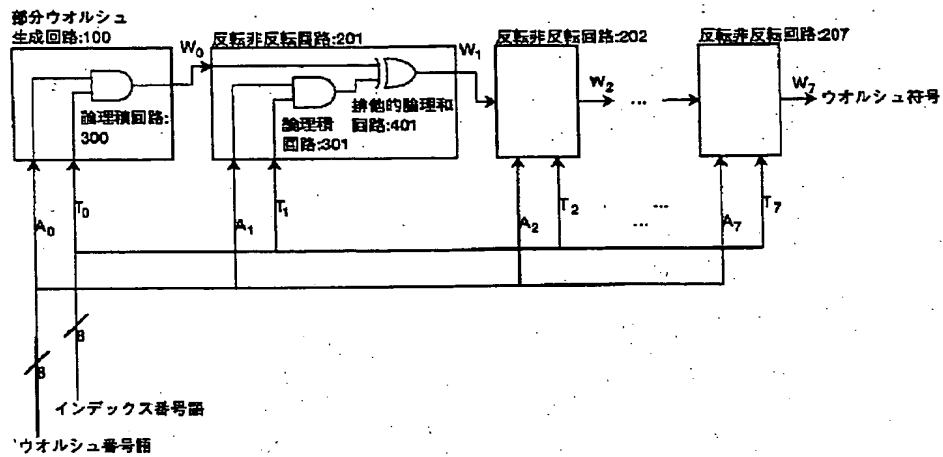
【図面の簡単な説明】

【図1】本発明のウォルシュ符号生成回路の一実施例を示すブロック図

【符号の説明】

100 部分ウォルシュ符号生成回路
201～207 反転非反転回路
300～301 論理積回路
401 排他的論理和回路
A₀～A₇ ウォルシュ番号語
T₀～T₇ インデックス番号語

【図1】



本発明のウォルシュ符号生成回路

フロントページの続き

(51)Int.Cl.⁶ 識別記号 庁内整理番号 F I
H04B 1/13

技術表示箇所